

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yuji YAMAMOTO

Atty. Docket No. 107156-00194

Serial No.: New application

Examiner: Not Assigned

Filed: July 22, 2003

Art Unit: Not Assigned

For: LOGARITHMIC TRANSFORMER AND METHOD OF LOGARITHMIC
TRANSFORMATION

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

July 22, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

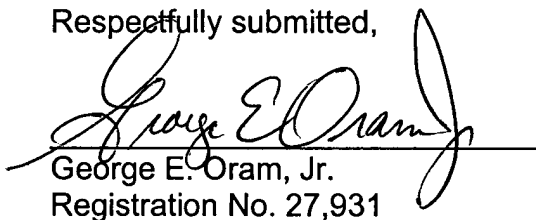
Japanese Patent Application No. 2002-214046 filed on July 23, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,


George E. Oram, Jr.
Registration No. 27,931

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810

(translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this office.

Date of application: July 23, 2002

Application Number: Japanese Patent Application
No. 2002-214046

[ST.10/C] : [JP2002-214046]

Applicant(s): Pioneer Corporation

Date of this certificate: January 10, 2003

Commissioner,
Japan Patent Office Shinichiro OTA

Certificate No. 2002-3104924

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月23日

出 願 番 号

Application Number:

特願2002-214046

[ST.10/C]:

[JP2002-214046]

出 願 人

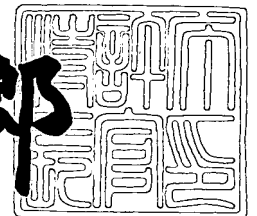
Applicant(s):

パイオニア株式会社

2003年 1月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3104924

【書類名】 特許願

【整理番号】 56P0682

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00
G06F 7/556

【発明者】

【住所又は居所】 埼玉県川越市山田字西町 2 5 番地 1 パイオニア株式会社
社 川越工場内

【氏名】 山本 雄治

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100063565

【弁理士】

【氏名又は名称】 小橋 信淳

【選任した代理人】

【識別番号】 100118898

【弁理士】

【氏名又は名称】 小橋 立昌

【手数料の表示】

【予納台帳番号】 011659

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 対数変換器及び対数変換方法

【特許請求の範囲】

【請求項 1】 対数変換すべきデジタルデータの各ビットのうち論理“1”となっている最も上位に位置するビットの位置を表す 2 進数のバイナリデータを生成する対数変換上位ビット列生成手段と、

前記最も上位に位置するビットより下位に位置するビット列を前記デジタルデータより求める対数変換下位ビット列生成手段とを備え、

前記 2 進数のバイナリデータを前記デジタルデータを対数変換した場合に得られる整数の対数変換値、前記下位に位置するビット列を前記デジタルデータを対数変換した場合に得られる小数点以下の対数変換値、とする対数変換データとして出力することを特徴とする対数変換器。

【請求項 2】 前記対数変換上位ビット列生成手段は、

前記対数変換すべきデジタルデータの各ビットのうち論理“1”となっている最も上位に位置するビットの位置を検出する検出部と、

前記検出部の検出結果に従って、前記 2 進数のバイナリデータの各ビット列を生成する生成部と、を備えることを特徴とする請求項 1 に記載の対数変換器。

【請求項 3】 前記検出部は、

前記対数変換すべきデジタルデータをデコードすることにより、前記論理“1”となっている最も上位に位置するビットを検出することを特徴とする請求項 2 に記載の対数変換器。

【請求項 4】 前記生成部は、

前記対数変換すべきデジタルデータの各ビットの位置を表す 2 進数のバイナリデータを有し、前記検出部の前記検出結果に従って、前記各ビットの位置を表す 2 進数のバイナリデータの 1 つを選択することにより、前記論理“1”となっている最も上位に位置するビットの位置を表す前記 2 進数のバイナリデータを生成することを特徴とする請求項 2 に記載の対数変換器。

【請求項 5】 前記生成部は、前記検出結果に従って、前記各ビットの位置を表す 2 進数のバイナリデータの 1 つを選択する切換え回路で形成されているこ

とを特徴とする請求項 4 に記載の対数変換器。

【請求項 6】 前記検出部は、前記対数変換すべきデジタルデータの各ビットのうち、前記論理“1”となっている最も上位に位置するビットより下位に位置するビット列を対象外とするデータを出力する第 1 の論理回路と、

前記対数変換すべきデジタルデータの各ビットのうち、前記データで対象外とされたビットを除くことで、前記論理“1”となっている最も上位に位置するビットを検出する第 2 の論理回路と、を備えることを特徴とする請求項 2 に記載の対数変換器。

【請求項 7】 前記第 1 の論理回路は、

前記対数変換すべきデジタルデータの最上位ビットから最下位ビットまでの各ビットを入力すると共に、夫々の出力と入力とが前記最上位ビットから最下位ビット側へと対応付けて従属接続された複数の論理和ゲートを備え、

前記各論理和ゲートが、上位ビット側の論理和ゲートの出力と前記デジタルデータの各ビットとを論理和演算することにより、前記対象外とするデータを生成することを特徴とする請求項 6 に記載の対数変換器。

【請求項 8】 第 2 の論理回路は、前記対数変換すべきデジタルデータの各ビットと、前記対象外とするデータとを論理積演算することにより、前記論理“1”となっている最も上位に位置するビットを検出することを特徴とする請求項 6 に記載の対数変換器。

【請求項 9】 前記下位ビット列生成手段は、

前記デジタルデータの各ビットのうち、前記論理“1”となっている最も上位に位置するビットの次の下位ビットを含む予め決められた所定個数のビット列を、前記小数点以下の対数変換値として求めることを特徴とする請求項 1 に記載の対数変換器。

【請求項 10】 前記下位ビット列生成手段は、前記最も上位に位置するビットの次の下位ビットから前記デジタルデータの最下位ビットまでのビット数が前記所定個数に満たないと、満たない分のビットを前記最下位ビットに追加して、所定個数のビット列を生成することを特徴とする請求項 9 に記載の対数変換器。

【請求項 1 1】 前記下位ビット列生成手段は、

前記対数変換すべきデジタルデータを、連続した前記所定個数ずつのビット列の組として入力する下位ビット列抽出部と、

前記デジタルデータの前記論理“1”となっている最も上位に位置するビットの次の下位ビットを最上位ビットとして有する前記所定個数のビット列を、前記小数点以下の対数変換値として、前記下位ビット列抽出部に抽出させる下位ビット列選択部と、を備えることを特徴とする請求項 9 又は 1 0 に記載の対数変換器。

【請求項 1 2】 前記下位ビット列選択部は、

前記対数変換すべきデジタルデータをデコードすることにより、前記論理“1”となっている最も上位に位置するビットを検出することを特徴とする請求項 1 1 に記載の対数変換器。

【請求項 1 3】 前記下位ビット列抽出部は、

前記下位ビット列選択部でデコードされた前記検出結果に従って、最も上位に位置するビットの次の下位ビットを最上位ビットとして有する前記所定個数のビット列を抽出することを特徴とする請求項 1 2 に記載の対数変換器。

【請求項 1 4】 前記下位ビット列抽出部は、前記下位ビット列選択部の前記検出結果に従って、前記所定個数のビット列を抽出する切換え回路で形成されていることを特徴とする請求項 1 1 に記載の対数変換器。

【請求項 1 5】 対数変換すべきデジタルデータの各ビットのうち論理“1”となっている最も上位に位置するビットの位置を表す 2 進数のバイナリデータを生成する上位ビット列生成工程と、

前記最も上位に位置するビットより下位に位置するビット列を前記デジタルデータより求める下位ビット列生成工程とを備え、

前記 2 進数のバイナリデータを前記デジタルデータを対数変換した場合に得られる整数の対数変換値、前記下位に位置するビット列を前記デジタルデータを対数変換した場合に得られる小数点以下の対数変換値とすることで、前記デジタルデータに対する対数変換データを生成することを特徴とする対数変換方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、例えばデジタルデータ等を対数変換する対数変換器及び対数変換方法に関する。

【 0 0 0 2 】

【従来の技術】

従来、デジタル信号処理の分野において、例えばビット数の多いデジタルデータをそれより少ないビット数のデジタルデータにデータ圧縮したり、複数のデジタルデータを乗算又は除算する代わりに、対数変換を施したデジタルデータを加算又は減算することにより演算の効率化を図る等、有用な手段として対数変換が広く利用されている。

【 0 0 0 3 】

従来一般的な対数変換器として、図 1 (a) に示す構成のものが知られている。

【 0 0 0 4 】

この対数変換器は、対数変換を高速で行うべくハードウェアで構成され、同図 (a) に示すように、論理回路としてのアドレスデコーダ 1 と、読出し専用の半導体メモリで形成された対数 ROM 2 を備えて構成されている。

【 0 0 0 5 】

対数 ROM 2 は、所謂ルックアップテーブルの形態で形成されており、対数変換すべきデジタルデータに対応した多数の対数変換データが予め記憶されている。

【 0 0 0 6 】

アドレスデコーダ 1 は、対数変換すべきデジタルデータが入力されると、そのデジタルデータをアドレスデータに変換（デコード）して対数 ROM 2 のアドレスを指定することにより、デジタルデータに対応する対数変換データを読み出させる。

【 0 0 0 7 】

つまり、対数変換すべきデジタルデータの値と、対数 ROM 2 のアドレスを指

定するためのアドレスデータと、そのアドレスデータで指定されるアドレスに予め記憶されている対数変換データとが互いに一对一の関係で決められているため、対数変換すべきデジタルデータをアドレスデコーダ 1 に供給すると、そのデジタルデータに対応する対数変換データを対数変換の結果として、対数 ROM 2 から出力させ、それによって高速の対数変換を行うことを可能にしている。

【 0 0 0 8 】

【課題を解決するための手段】

ところが、従来の対数変換器は、回路規模が極めて大きなものになってしまうという問題があった。

【 0 0 0 9 】

例えば高密度実装や小形軽量化等の必要な電子機器に対数変換器を設ける場合や、対数変換器を半導体集積回路装置として形成する場合等、その他の場合において、解決すべき重要な課題となっていた。

【 0 0 1 0 】

具体的な一事例を上げて説明すれば、図 1 (a) に示したアドレスデコーダ 1 は、図 1 (b) に示すような複数段の論理回路 1 a , 1 b 等で構成され、更に各論理回路 1 a , 1 b 等は多数の論理演算素子（インバータ、ORゲート、NORゲート、ANDゲート、NANDゲート等）を組み合わせ形成されている。

【 0 0 1 1 】

ここで、初段に位置する複数の論理回路 1 a , 1 a … は、入力される n ビット（n は任意の自然数）のデジタルデータを複雑に組み合わせ論理演算するための複数のインバータと NORゲートで形成され、次段の論理回路 1 b も同様に、複数の論理回路 1 a , 1 a … から出力される多数のデータを複雑に組み合わせ論理演算すべく多数の論理演算素子で形成され、更に論理回路 1 b は 1 段のみではなく多段の論理回路で形成されている。

【 0 0 1 2 】

このように、対数 ROM 2 の全アドレス空間をアクセスし得るアドレスデータを生成しなければならない等の必要性から、アドレスデコーダ 1 の回路規模が大きくなっていた。

【 0 0 1 3 】

また、対数ROM2がルックアップテーブルの形態で形成されていることから、回路規模が大きくなる一因となっていた。

【 0 0 1 4 】

つまり、対数ROM2には、対数変換すべきデジタルデータのビット数 n に応じて、少なくとも 2^n 通りの対数変換データを予め記憶させておく必要がある。

【 0 0 1 5 】

更に各対数変換データを、 n ビットのデジタルデータよりも少ないビット数 m のデータとして記憶させたとしても、対数ROM2の総記憶容量として少なくとも $2^n \times m$ ビット分が必要である。

【 0 0 1 6 】

こうしたことから、記憶容量の大きな対数ROM2が必要となり、回路規模が大きくなる一因となっていた。

【 0 0 1 7 】

本発明は、例示したような従来の課題に鑑みてなされたものであり、新規な構成を有する対数変換器を提供することを目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

請求項1に記載の対数変換器は、対数変換すべきデジタルデータの各ビットのうち論理“1”となっている最も上位に位置するビットの位置を表す2進数のバイナリデータを生成する対数変換上位ビット列生成手段と、前記最も上位に位置するビットより下位に位置するビット列を前記デジタルデータより求める対数変換下位ビット列生成手段とを備え、前記2進数のバイナリデータを前記デジタルデータを対数変換した場合に得られる整数の対数変換値、前記下位に位置するビット列を前記デジタルデータを対数変換した場合に得られる小数点以下の対数変換値、とする対数変換データとして出力することを特徴とする。

【 0 0 1 9 】

請求項2に記載の対数変換器は、請求項1に記載の対数変換器において、前記対数変換上位ビット列生成手段は、前記対数変換すべきデジタルデータの各ビッ

トのうち論理“1”となっている最も上位に位置するビットの位置を検出する検出部と、前記検出部の検出結果に従って、前記2進数のバイナリデータの各ビット列を生成する生成部とを備えることを特徴とする。

【0020】

請求項3に記載の対数変換器は、請求項2に記載の対数変換器において、前記検出部は、前記対数変換すべきデジタルデータをデコードすることにより、前記論理“1”となっている最も上位に位置するビットを検出することを特徴とする。

【0021】

請求項4に記載の対数変換器は、請求項2に記載の対数変換器において、前記生成部は、前記対数変換すべきデジタルデータの各ビットの位置を表す2進数のバイナリデータを有し、前記検出部の前記検出結果に従って、前記各ビットの位置を表す2進数のバイナリデータの1つを選択することにより、前記論理“1”となっている最も上位に位置するビットの位置を表す前記2進数のバイナリデータを生成することを特徴とする。

【0022】

請求項5に記載の対数変換器は、請求項4に記載の対数変換器において、前記生成部は、前記検出結果に従って、前記各ビットの位置を表す2進数のバイナリデータの1つを選択する切換え回路で形成されていることを特徴とする。

【0023】

請求項6に記載の対数変換器は、請求項2に記載の対数変換器において、前記検出部は、前記対数変換すべきデジタルデータの各ビットのうち、前記論理“1”となっている最も上位に位置するビットより下位に位置するビット列を対象外とするデータを出力する第1の論理回路と、前記対数変換すべきデジタルデータの各ビットのうち、前記データで対象外とされたビットを除くことで、前記論理“1”となっている最も上位に位置するビットを検出する第2の論理回路とを備えることを特徴とする。

【0024】

請求項7に記載の対数変換器は、請求項6に記載の対数変換器において、前記

第 1 の論理回路は、前記対数変換すべきデジタルデータの最上位ビットから最下位ビットまでの各ビットを入力すると共に、夫々の出力と入力とが前記最上位ビットから最下位ビット側へと対応付けて従属接続された複数の論理和ゲートを備え、前記各論理和ゲートが、上位ビット側の論理和ゲートの出力と前記デジタルデータの各ビットとを論理和演算することにより、前記対象外とするデータを生成することを特徴とする。

【 0 0 2 5 】

請求項 8 に記載の対数変換器は、請求項 6 に記載の対数変換器において、第 2 の論理回路は、前記対数変換すべきデジタルデータの各ビットと、前記対象外とするデータとを論理積演算することにより、前記論理 “ 1 ” となっている最も上位に位置するビットを検出することを特徴とする。

【 0 0 2 6 】

請求項 9 に記載の対数変換器は、請求項 1 に記載の対数変換器において、前記下位ビット列生成手段は、前記デジタルデータの各ビットのうち、前記論理 “ 1 ” となっている最も上位に位置するビットの次の下位ビットを含む予め決められた所定個数のビット列を、前記小数点以下の対数変換値として求めることを特徴とする。

【 0 0 2 7 】

請求項 1 0 に記載の対数変換器は、請求項 9 に記載の対数変換器において、前記下位ビット列生成手段は、前記最も上位に位置するビットの次の下位ビットから前記デジタルデータの最下位ビットまでのビット数が前記所定個数に満たないと、満たない分のビットを前記最下位ビットに追加して、所定個数のビット列を生成することを特徴とする。

【 0 0 2 8 】

請求項 1 1 に記載の対数変換器は、請求項 9 又は 1 0 に記載の対数変換器において、前記下位ビット列生成手段は、前記対数変換すべきデジタルデータを、連続した前記所定個数ずつのビット列の組として入力する下位ビット列抽出部と、

前記デジタルデータの前記論理 “ 1 ” となっている最も上位に位置するビットの次の下位ビットを最上位ビットとして有する前記所定個数のビット列を、前記

小数点以下の対数変換値として、前記下位ビット列抽出部に抽出させる下位ビット列選択部と、を備えることを特徴とする。

【 0 0 2 9 】

請求項 1 2 に記載の対数変換器は、請求項 1 1 に記載の対数変換器において、前記下位ビット列選択部は、前記対数変換すべきデジタルデータをデコードすることにより、前記論理 “ 1 ” となっている最も上位に位置するビットを検出することを特徴とする。

【 0 0 3 0 】

請求項 1 3 に記載の対数変換器は、請求項 1 2 に記載の対数変換器において、前記下位ビット列抽出部は、前記下位ビット列選択部でデコードされた前記検出結果に従って、最も上位に位置するビットの次の下位ビットを最上位ビットとして有する前記所定個数のビット列を抽出することを特徴とする。

【 0 0 3 1 】

請求項 1 4 に記載の対数変換器は、請求項 1 1 に記載の対数変換器において、前記下位ビット列抽出部は、前記下位ビット列選択部の前記検出結果に従って、前記所定個数のビット列を抽出する切換え回路で形成されていることを特徴とする。

【 0 0 3 2 】

請求項 1 5 に記載の対数変換方法は、対数変換すべきデジタルデータの各ビットのうち論理 “ 1 ” となっている最も上位に位置するビットの位置を表す 2 進数のバイナリデータを生成する上位ビット列生成工程と、前記最も上位に位置するビットより下位に位置するビット列を前記デジタルデータより求める下位ビット列生成工程とを備え、前記 2 進数のバイナリデータを前記デジタルデータを対数変換した場合に得られる整数の対数変換値、前記下位に位置するビット列を前記デジタルデータを対数変換した場合に得られる小数点以下の対数変換値とすることで、前記デジタルデータに対する対数変換データを生成することを特徴とする。

【 0 0 3 3 】

【発明の実施の形態】

本発明の好適な実施の形態を図 2 乃至図 4 を参照して説明する。

なお、図 2 乃至図 4 は、本実施形態の対数変換器の構成並びに機能を示した図である。

【 0 0 3 4 】

また、説明の便宜上、対数変換すべきデジタルデータ B は、一般的表現形態である $B(b_{n-1}, b_{n-2}, b_{n-3}, \dots, b_2, b_1, b_0)$ 等で表される n ビットのバイナリデータとし、また、対数変換後の対数変換データ D も同様に、 $D(d_{m-1}, d_{m-2}, d_{m-3}, \dots, d_{m-p}, d_{m-p-1}, \dots, d_2, d_1, d_0)$ 等で表し得る m ビットのバイナリデータであるものとして説明することとする。

【 0 0 3 5 】

また、上述の各データ B と D のビット数 n と m は、必ずしもこれに限定されるものではないが、一般に行われる対数変換の意義を考慮して、 $n \geq m$ の関係にあるものとして説明することとする。

【 0 0 3 6 】

図 2 において、本対数変換器は、対数変換すべき入力データ B に対して対数変換の処理を施し、対数変換の結果としての対数変換データ D を出力する。

【 0 0 3 7 】

かかる対数変換の処理を行うべく、対数変換上位ビット列生成部 3 と対数変換下位ビット列生成部 4 が備えられている。

【 0 0 3 8 】

対数変換上位ビット列生成部 3 は、図 3 に示す如く、アクティブビット検出部 3 a と上位ビット列生成部 3 b を備えて構成されている。

【 0 0 3 9 】

対数変換下位ビット列生成部 4 は、図 4 に示す如く、下位ビット選択部 4 a と下位ビット列抽出部 4 b を備えて構成されている。

【 0 0 4 0 】

ただし、これらの対数変換上位ビット列生成部 3 と対数変換下位ビット列生成部 4 及び、アクティブビット検出部 3 a、上位ビット列生成部 3 b、下位ビット

選択部 4 a、下位ビット列抽出部 4 b は、個別独立して形成することが可能であるが、融合した 1 又は複数の回路等として形成することも可能である。

【 0 0 4 1 】

つまり、これらの各構成要素 3, 4, 3 a, 3 b, 4 a, 4 b を最適に論理設計する際、個別独立な構成とする代わりに、例えば論理演算素子や一部回路等の共有化を図ることで、融合した 1 又は複数の回路等として回路規模をシュリンクすることが可能である。

【 0 0 4 2 】

図 2、図 3 において、対数変換上位ビット列生成部 3 は、 n ビットの変換すべき入力データ B が供給されると、その入力データ B の各ビット b_{n-1} , b_{n-2} , b_{n-3} , ..., b_2 , b_1 , b_0 のうち、論理 “1” となっているビットであって最も上位に位置しているビット（以下「アクティブビット」という）を検出する。

【 0 0 4 3 】

この検出処理を、図 3 のアクティブビット検出部 3 a が行い、上述の検出した最上位のビットをアクティブビットとし、更にそのアクティブビットが入力データ B における何ビット目の位置にあるかを表すためのビット番号 S を特定する。

【 0 0 4 4 】

例えば、上述のアクティブビットが最上位 (MSB) から k 番目に位置するビット b_{n-k} であった場合、そのビット b_{n-k} のビット番号 S を $n-k$ とする。

【 0 0 4 5 】

更に具体的な場合を例示すれば、入力データ B が、 $B(0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1)$ で表される 16 ビット ($n=16$) のデータであった場合、最上位ビット (MSB) b_{15} から 4 番目に位置する論理 “1” のビット b_{n-k} (つまり、 b_{12}) をアクティブビットとし、更に、ビット番号 S を「12」とする。

【 0 0 4 6 】

なお、ビット b_{12} よりも下位のビット $b_{11} \sim b_0$ で、論理 “1” となっ

いるものがあるとしても、アクティブビットとはしない。

【0047】

そして、アクティブビット検出部 3 a は、ビット番号 S をアクティブビットの検出結果として、上位ビット列生成部 3 b と対数変換下位ビット列生成部 4 へ供給する。

【0048】

次に、上位ビット列生成部 3 b は、m ビットの対数変換データ D における、最上位ビット d_{m-1} を含む上位 p 個分のビットである、対数変換上位ビット列 $D_{UP} (d_{m-1}, d_{m-2}, d_{m-3}, \dots, d_{m-p})$ を生成する。

【0049】

ここで、対数変換上位ビット列 D_{UP} のビット数 p は、n ビットの入力データ B に対応させて、 $n = 2^p$ の関係（別言すれば、 $p = \log_2 n$ の関係）を満足するように予め決められている。

【0050】

そして、アクティブビット検出部 3 a からビット番号 S が供給されると、そのビット番号 S に相当する 2 進数のバイナリデータ（p 個のビットから成るバイナリデータ）を生成し、そのビット数 p のバイナリデータを対数変換上位ビット列 D_{UP} とする。

【0051】

より具体的な事例を上げて説明すれば、入力データ B が、前述した B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) で表される 16 ビットのデータであった場合、アクティブビットのビット番号 S は「12」となるから、ビット番号 S に相当する 2 進数のバイナリデータ (1, 1, 0, 0) を生成する。

【0052】

そして、 $n = 2^p$ の関係から、16 ビット ($n = 16$) の入力データ B に対応する対数変換上位ビット列 D_{UP} のビット数 p は「4」となり、更に上述のビット番号 S に相当する 2 進数のバイナリデータ (1, 1, 0, 0) となることから、上述の 4 ビットの対数変換上位ビット列を $D_{UP} (1, 1, 0, 0)$ とする。

【 0 0 5 3 】

また、生成すべき対数変換データ D のビット数 m が、入力データ B のビット数 n より小さい場合であっても、 $n = 2^P$ の関係から対数変換上位ビット列 D_{UP} のビット数 p を決め、ビット番号 S に相当する 2 進数のバイナリデータに相当する対数変換上位ビット列 D_{UP} 、つまりビット数 p の対数変換上位ビット列 D_{UP} を生成する。

【 0 0 5 4 】

このように、アクティブビット検出部 3 a と上位ビット列生成部 3 b を備えた対数変換上位ビット列生成部 3 は、入力データ B 中の論理 “1” となっているビットのうち、最も上位に位置しているビットをアクティブビットとして着目し、アクティブビットのビット番号 S の 2 進数のバイナリデータを対数変換上位ビット列 D_{UP} として生成する。

【 0 0 5 5 】

次に、図 2、図 4 に基づいて対数変換下位ビット列生成部 4 を説明する。

【 0 0 5 6 】

対数変換下位ビット列生成部 4 は、 n ビットの変換すべき入力データ B が供給されると、その入力データ B に基づいて、対数変換データ D の下位 $m - p$ ビット分を表す対数変換下位ビット列 D_{LOW} を生成する。

【 0 0 5 7 】

この対数変換下位ビット列 D_{LOW} を生成するのに、図 4 の下位ビット選択部 4 a と下位ビット列抽出部 4 b が備えられている。

【 0 0 5 8 】

下位ビット選択部 4 a は、入力データ B の各ビット b_{n-1} , b_{n-2} , b_{n-3} , ..., b_2 , b_1 , b_0 のうち、上述のビット番号 S で特定されたアクティブビット b_{n-k} よりも下位に位置するビット列 (b_{n-k-1} , b_{n-k-2} , ..., b_1 , b_0) を選択し、その選択結果を下位ビット列抽出部 4 b へ出力する。

【 0 0 5 9 】

なお、本実施形態では、ビット番号 S に基づいて、下位のビット列 (b_{n-k}

$-1, b_{n-k-2}, \dots, b_1, b_0$) を選択することとしているが、他の方法で行ってもよい。

【0060】

変形例として、上述の p ビットの対数変換上位ビット列 D_{UP} ($d_{m-1}, d_{m-2}, \dots, d_{m-p}$) に基づいて、下位のビット列 ($b_{n-k-1}, b_{n-k-2}, \dots, b_1, b_0$) を選択してもよい。つまり、対数変換上位ビット列 D_{UP} ($d_{m-1}, d_{m-2}, \dots, d_{m-p}$) はビット番号 S の 2 進数のデータであることから、ビット番号 S の代わりに対数変換上位ビット列 D_{UP} ($d_{m-1}, d_{m-2}, \dots, d_{m-p}$) に基づいて、下位のビット列 ($b_{n-k-1}, b_{n-k-2}, \dots, b_1, b_0$) を選択するようにしてもよい。

【0061】

次に、下位ビット列抽出部 4 b は、生成すべき対数変換データ D のビット数 m と対数変換上位ビット列 D_{UP} のビット数 p との差 ($m-p$) に相当する個数 q のビットを、下位のビット列 ($b_{n-k-1}, b_{n-k-2}, \dots, b_1, b_0$) のうちの上位から抽出し、その抽出した q 個 (つまり、 $m-p$ 個) のビット列 ($b_{n-k-1}, b_{n-k-2}, \dots, b_{n-k-1-q}$) を、対数変換データ D における対数変換下位ビット列 D_{LOW} ($d_{m-p-1}, d_{m-p-2}, \dots, d_1, d_0$) とする。

【0062】

なお、下位のビット列 ($b_{n-k-1}, b_{n-k-2}, \dots, b_1, b_0$) のビット総数が、 q 個 (つまり、 $m-p$ 個) よりも少ない場合には、不足分のビットを論理 “0” として、最下位 (LSB) ビット b_0 に続けて付加することにより、 q 個のビットから成る対数変換下位ビット列 D_{LOW} ($d_{m-p-1}, d_{m-p-2}, \dots, d_1, d_0$) を生成する。

【0063】

そして、図 2 に示すように、 p ビットの対数変換上位ビット列 D_{UP} ($d_{m-1}, d_{m-2}, d_{m-3}, \dots, d_{m-p}$) を、入力データ B を対数変換することによって得られる整数値として出力し、 q ビットの対数変換下位ビット列 D_{LOW} ($d_{m-p-1}, \dots, d_2, d_1, d_0$) を、入力データ B を対数変換するこ

とによって得られる小数点以下の値として出力する。

【 0 0 6 4 】

そして、これら対数変換上位ビット列 D_{UP} を対数変換データ D の上位ビット列、対数変換下位ビット列 D_{LOW} を対数変換データ D の下位ビット列とする総計 m ビットの対数変換データ D を出力する。

【 0 0 6 5 】

より具体的な場合を例示すると、下位ビット列抽出部 4 b は次に述べる処理を行うこととなる。なお、一具体例として、16ビット ($n = 16$) の入力データ B に対して8ビット ($m = 8$) の対数変換データ D を生成すべく本対数変換器を形成し、入力データ B が、前述の B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 1) で表される16ビットのデータであった場合について説明することとする。

【 0 0 6 6 】

入力データ B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) が入力されると、論理“1”となる最上位ビットは第12ビット b_{12} であることから、既述したように対数変換上位ビット列 D_{UP} ($d_{m-1}, d_{m-2}, \dots, d_{m-p}$) は、 D_{UP} (1, 1, 0, 0) となる。

【 0 0 6 7 】

ここで、生成すべき8ビット ($m = 8$) の対数変換データ D のうち、対数変換上位ビット列 D_{UP} (1, 1, 0, 0) が4ビット ($p = 4$) 分を占めることとなり、残りの4ビット ($m - p = 4$) に対数変換下位ビット列 D_{LOW} を割り当てる。

【 0 0 6 8 】

そして、対数変換下位ビット列 D_{LOW} の候補として、入力データ B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) のうち、上述の第12ビット b_{12} よりも下位のビット列 ($b_{11}, b_{10}, b_9, b_8, \dots, b_0$) であるビット列 (0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) を選択し、更に、上位4ビット分のビット列 (b_{11}, b_{10}, b_9, b_8) に該当するビット列 (0, 1, 1, 0) を対数変換下位ビット列 D_{LOW} ($d_3,$

d_2, d_1, d_0)、すなわち $D_{LOW}(0, 1, 1, 0)$ とする。

【0069】

そして、対数変換上位ビット列 $D_{UP}(1, 1, 0, 0)$ と対数変換下位ビット列 $D_{LOW}(0, 1, 1, 0)$ とによって、最終的な対数変換データ $D(1, 1, 0, 0, 0, 1, 1, 0)$ とする。

【0070】

なお、図2中、変換後の対数変換データ D に付けられているポインタ t が、小数点の位置であることを示している。これにより、例えば対数変換データ D をレジスタ回路等でバッファリングしてから並列出力する場合に、そのレジスタ回路等における物理的なビットの位置をポインタ t で表すことで、対数変換上位ビット列 D_{UP} と対数変換下位ビット列 D_{LOW} との境（小数点の位置）を表すことが可能である。

【0071】

ただし、ポインタ t によって、対数変換データ D における対数変換上位ビット列 D_{UP} と対数変換下位ビット列 D_{LOW} との境（小数点の位置）を表す表現方法に限定されるものではない。

【0072】

変形例として、対数変換上位ビット列 D_{UP} と対数変換下位ビット列 D_{LOW} との境の位置に1ビット追加し、その追加した1ビットを小数点の位置を表すビットとして、総計 $m+1$ ビットの対数変換データ D としてもよい。

【0073】

また、他の変形例として、対数変換上位ビット列 D_{UP} と対数変換下位ビット列 D_{LOW} との境の位置に1ビット追加し、その追加した1ビットを小数点の位置を表すビットとすると共に、対数変換下位ビット列 D_{LOW} のうちの最下位ビット d_0 を除去することにより、総計 m ビットの対数変換データ D とするようにしてもよい。

【0074】

本実施形態によれば、入力データ B を対数変換した場合、その対数変換データ D の値は、理論値とほぼ一致する結果が得られた。なお、具体的な対数変換の精

度については、次の実施例において説明するが、図 1 2 の評価結果に示すように、本対数変換器で 1 6 ビットの入力データ B を対数変換した場合、その対数変換データ D の値は、理論値とほぼ一致する結果が得られた。

【 0 0 7 5 】

更に、本実施形態の対数変換器によれば、図 1 に示した従来のアドレスデコーダ 1 に比して、極めて少ない論理演算素子で形成することができ、回路規模の低減等を実現することができる。

【 0 0 7 6 】

例えば、対数変換上位ビット列生成部 3 は、論理演算素子を用いた小規模の比較器やデコーダ回路によって、入力データ B 中のアクティブビット及びビット番号 S を検出し特定することが可能である。

【 0 0 7 7 】

また、ビット番号 S に相当する p ビットの対数変換上位ビット列 D_{UP} を生成するのに、論理演算素子を用いた小規模のデコーダ回路によって、ビット番号 S からバイナリデータを生成することが可能である。

【 0 0 7 8 】

また、対数変換下位ビット列生成部 4 は、入力データ B から所定のビットを単に選択して抽出することで、対数変換下位ビット列 D_{LOW} を求めることができるため、規模の小さな例えばレジスタ回路等で実現することが可能である。

【 0 0 7 9 】

また、従来技術のような対数変換に相当するデータを ROM 等に予め記憶しておく構成ではないことから、回路規模を低減することが可能である。

【 0 0 8 0 】

以上例示したように、本実施形態の対数変換器は回路規模の低減等を可能にする新規な構成を有し、デジタル信号処理の分野において有用な効果を提供することができるものである。

【 0 0 8 1 】

【実施例】

次に、図 5 乃至図 1 2 を参照して、より具体的な実施例を説明する。

【 0 0 8 2 】

なお、図 5 は、本実施例の対数変換器を利用した FM / AM 受信機の構成を示す図、図 6 及び図 7 は、本対数変換器の回路を示す図、図 8 乃至図 1 1 は、本対数変換器の動作及び機能を示す図、図 1 2 は本対数変換器の評価結果を示す図である。

【 0 0 8 3 】

図 5 において、本実施例の対数変換器を利用した FM / AM 受信機は、到来電波をアンテナ 5 を介して受信する RF アンプ 6 と、PLL 及び VCO 等の回路を有して局発信号を生成する局発回路 8 と、局発信号と受信信号とを混合して中間周波信号（IF 信号）等を生成するミキサ 7 と、中間周波信号を増幅する IF アンプ 9 が備えられている。

【 0 0 8 4 】

更に、IF アンプ 9 にて増幅された中間周波信号をデジタルデータにアナログデジタル変換する A / D 変換部 1 0 と、そのデジタルデータに対して所定のデジタル信号処理を施すことによって FM 検波信号を検波する FM 検波部 1 1 と、そのデジタルデータに対して所定のデジタル信号処理を施すことによって AM 検波信号を検波する AM 検波部 1 2 が備えられている。

【 0 0 8 5 】

ここで、AM 検波部 1 2 は、上述の AM 検波信号を生成する他、A / D 変換部 1 0 から供給されるデジタルデータを全波整流し、AM 検波を行うことによって、送信局の有無等を検出するのに利用される電界強度を示すデータを出力する。

【 0 0 8 6 】

ただし、上述の全波整流と AM 検波によって電界強度を示すデータを生成すると、その電界強度を示すデータはリニアなデータとなり、本 FM / AM 受信機のダイナミックレンジ等を考慮すると、リニアなデータのままでは処理し難いことから、電界強度を示すデータを対数変換して処理すべく、本実施例の対数変換器が設けられている。

【 0 0 8 7 】

次に、図 6 及び図 7 に基づいて、本実施例の対数変換器の回路構成を詳述する

【 0 0 8 8 】

本対数変換器は、16ビット ($n = 16$) の電界強度を示すリニアなデータ (以下「入力データ」という) B を、8ビット ($m = 8$) の対数変換データ D に変換する構成となっており、図6に示す回路が、図2に示した対数変換上位ビット列生成部3、図7に示す回路が、図2に示した対数変換下位ビット列生成部4となっている。

【 0 0 8 9 】

図6において、対数変換上位ビット列生成部3は、15個の論理和ゲート (ORゲート) $U_{14} \sim U_0$ と、15個の論理積ゲート (ANDゲート) $G_{14} \sim G_0$ と、マルチプレクサ13を備えて構成されている。

【 0 0 9 0 】

マルチプレクサ13は、図中の符号 d で示す17個の入力端子を備えたデータ入力ポートと、図中の符号 e で示す17個の制御端子 e を備えた切換え制御ポートとを有し、更に図中の符号 d_6, d_5, d_4 で示す3ビットのバイナリデータを並列出力する出力ポートが備えられている。

【 0 0 9 1 】

データ入力ポートの各入力端子 d には、図示するように、10進数の「0」から「7」までの各値に相当する3ビットのバイナリデータ (0, 0, 0) ~ (1, 1, 1) が予め印加されている。

【 0 0 9 2 】

つまり、図中の最上位に位置する入力端子 (後述のデコードビット g_{15} が印加される制御端子 e と対を成している入力端子) d にはバイナリデータ (1, 1, 1)、次の入力端子 d にはバイナリデータ (1, 1, 0)、更に次の入力端子 d にはバイナリデータ (1, 0, 1) が印加され、残余の各入力端子 d にも、図示の如く、3ビットのバイナリデータ (0, 0, 0) ~ (1, 1, 1) のうちの所定のバイナリデータが予め印加されている。

【 0 0 9 3 】

また、これら3ビットのバイナリデータ (0, 0, 0) ~ (1, 1, 1) の各

論理値“1”と“0”は、いわゆる電源供給端子とグランド端子に、プルアップ抵抗とプルダウン抵抗を接続するという簡単な回路構成によって設定されている。

【0094】

上述の各制御端子 e には、後述するデコードビット $g_{15} \sim g_0$ と h_0 が夫々独立して供給されるようになっている。

【0095】

そして、図中、隣り合って示されている1個ずつの入力端子 d と制御端子 e が1組ずつの対を成しており、各組における制御端子 e に論理“1”となるデコードビットが印加されると、その制御端子 e と対を成している入力端子 d に印加されている上述のバイナリデータを出力データ(d_6, d_5, d_4)として、出力ポートより出力する。

【0096】

つまり、詳細については後述するが、マルチプレクサ13は、各制御端子 e に印加されるデコードビット $g_{15} \sim g_0$ 、 h_0 の何れかが論理“1”になると、その論理“1”に設定された制御端子 e と対を成している入力端子 d に印加されているバイナリデータを出力データ(d_6, d_5, d_4)とすべくマルチルレックスする。

【0097】

次に、ORゲート $U_{14} \sim U_0$ とANDゲート $G_{14} \sim G_0$ は、所定の関係で組み合わせて配線されることにより、最上位ビット(MSB) b_{15} から最下位ビット(LSB) b_0 までの16ビットの入力データ $B(b_{15}, b_{14}, \dots, b_1, b_0)$ を16ビットのデコードデータ $G(g_{15}, g_{14}, \dots, g_1, g_0)$ にデコードすると共に、1ビット分のデコードビット h_0 をデコードし、上述の17個の制御端子 e へ並列出力する。

【0098】

ただし、デコードデータ G のうちの最上位のデコードビット g_{15} については、上述のORゲートとANDゲートが関与することなく、入力データ B の最上位のビット b_{15} をそのままマルチプレクサ13の最上位に位置する制御端子 e へ

供給するようになっている。

【0099】

また、2入力型の各ANDゲート $G_{14} \sim G_0$ は、一方が論理反転入力端子、他方が論理非反転入力端子となっており、ORゲート $U_{14} \sim U_0$ は、夫々2入力型の論理和ゲートで形成され、そしてORゲート $U_{14} \sim U_0$ 及びANDゲート $G_{14} \sim G_0$ は、入力データBの各ビット $b_{15}, b_{14}, \dots, b_1, b_0$ に対応して設けられている。

【0100】

そして、図示するように、ORゲート $U_{14} \sim U_0$ は、夫々の上位に位置するORゲートの出力と、入力データB ($b_{15}, b_{14}, \dots, b_1, b_0$) の所定のビットとの論理和演算を行うべく、上位側から下位側へといわゆる従属接続が成されており、各ORゲート $U_{14} \sim U_1$ の出力 $u_{14} \sim u_1$ がANDゲート $G_{13} \sim G_0$ の上記の論理反転入力端子に夫々供給され、ANDゲート $G_{14} \sim G_0$ より出力されるデコードビット $g_{14} \sim g_0$ がマルチプレクサ13の所定の制御端子eに供給されるように配線されている。

【0101】

そして、マルチプレクサ13の出力ポートより出力される3ビットのビット列 (d_6, d_5, d_4) と、ORゲート U_8 の出力 u_8 を最上位ビット d_7 とする総計4ビットのビット列 (d_7, d_6, d_5, d_4) を、上述の対数変換上位ビット列 D_{UP} として出力する。

【0102】

次にかかる構成を有する対数変換上位ビット列生成部3の動作を説明する。

【0103】

まず、ORゲート $U_{14} \sim U_0$ の動作を説明する。ORゲート $U_{14} \sim U_0$ は、入力データBの各ビット $b_{15} \sim b_0$ のうちで、論理“1”となっている最上位のビットに対応しているORゲート及び、そのORゲートより下位に位置しているORゲートの出力を全て論理“1”にすべく動作する。

【0104】

例えば、入力データB (b_{15}, \dots, b_0) の各ビット列が上述した (0, 0

、0、1、0、1、1、0、1、0、0、0、0、0、0、1)であった場合、論理“1”となっている最上位のビット b_{12} に対応しているORゲート U_{12} に論理“1”の値が印加され、更にORゲート U_{12} より下位に位置しているORゲート $U_{11} \sim U_0$ は従属接続されていることから、これらのORゲート $U_{11} \sim U_0$ にも論理“1”の値が印加される。

【0105】

この結果、ORゲート $U_{12} \sim U_0$ の出力 $u_{12} \sim u_1, h_0$ の全てが論理“1”となり、残余のORゲート U_{14}, U_{13} の出力 u_{14}, u_{13} は論理“0”となる。

【0106】

このようにORゲート $U_{14} \sim U_0$ は、入力データBの各ビット $b_{15} \sim b_0$ のうちで、論理“1”となっている最上位のビットを検出すると共に、その論理“1”となっているビット及びそのビットより下位に位置しているORゲートの出力を全て論理“1”とすることで、上述したアクティブビットの候補を出力する。

【0107】

次に、ANDゲート $G_{14} \sim G_0$ の動作を説明する。

【0108】

ANDゲート G_{14} は、図示の如く、ビット b_{15}, b_{14} との論理積演算を行い、ANDゲート $G_{13} \sim G_0$ は、ORゲート $U_{14} \sim U_1$ よりの出力 $u_{14} \sim u_1$ とビット $b_{13} \sim b_0$ との夫々の論理積演算を行う。そして、デコードビット g_{15} と、これらのANDゲート $G_{14} \sim G_0$ の出力（デコードビット） $g_{14} \sim g_0$ とによって、真のアクティブビット（すなわち、1つのアクティブビット）及びそのビット番号Sを示す検出結果を出力する。

【0109】

つまり、入力データBの最上位ビット b_{15} が論理“1”のときには、デコードビット g_{15} が論理“1”となり、ANDゲート G_{14} から出力されるデコードビット g_{14} は論理“0”となる。

【0110】

更に、ORゲート U_{14} の出力 u_{14} はビット b_{15} が論理“1”であるため論理“1”となり、更に残余のORゲート $U_{13} \sim U_1$ の出力 $u_{13} \sim u_1$ も論理“1”となる。そして、ANDゲート $G_{13} \sim G_0$ の論理反転入力端子に、全てが論理“1”となっている出力 $u_{13} \sim u_1$ が印加される結果、ANDゲート $G_{13} \sim G_0$ から出力されるデコードビット $g_{13} \sim g_0$ は全て論理“0”になる。

【0111】

このようにORゲート $U_{14} \sim U_1$ とANDゲート $G_{14} \sim G_0$ とによる論理演算が行われると、デコードビット $g_{15} \sim g_0$ のうち、ビット g_{15} のみが論理“1”、残余のビット $g_{14} \sim g_0$ は全て論理“0”となり、上述した真のアクティブビット b_{15} 及びそのビット番号 S （すなわち、15）を検出して特定する。

【0112】

また、入力データ B の第15ビット b_{15} が論理“0”で、第14ビット b_{14} が論理“1”のときには、デコードビット g_{15} が論理“0”となり、ANDゲート G_{14} から出力されるデコードビット g_{14} は論理“1”となる。

【0113】

更に、ORゲート $U_{14} \sim U_1$ の出力 $u_{14} \sim u_1$ は全て論理“1”になるため、ANDゲート $G_{13} \sim G_0$ のデコードビット $g_{13} \sim g_0$ は全て論理“1”となる。

【0114】

したがって、入力データ B の第14ビット b_{14} が論理“1”となる最上位のビットであった場合には、デコードビット $g_{15} \sim g_0$ のうちのビット g_{14} のみが論理“1”となって、第14ビット b_{14} を真のアクティブビットとし更にそのビット番号 S （すなわち、14）を検出して特定する。

【0115】

また、入力データ B の第15ビット b_{15} と第14ビット b_{14} が共に論理“0”で、第13ビット b_{13} が論理“1”のときには、デコードビット g_{15} 、 g_{14} が共に論理“0”となる。

【0 1 1 6】

更に、ORゲート U_{14} の出力 u_{14} は論理“0”となり、第13ビット b_{13} は論理“1”であるから、ANDゲート G_{13} のデコードビット g_{13} は論理“1”となる。

【0 1 1 7】

そして更に、ORゲート $U_{13} \sim U_1$ の出力 $u_{13} \sim u_1$ は全て論理“1”になるため、ANDゲート $G_{12} \sim G_0$ のデコードビット $g_{12} \sim g_0$ は全て論理“0”となる。

【0 1 1 8】

したがって、入力データBの第13ビット b_{13} が論理“1”となる最上位のビットであった場合には、デコードビット $g_{15} \sim g_0$ のうちのビット g_{13} のみが論理“1”となって、第13ビット b_{13} を真のアクティブビットとし更にそのビット番号S（すなわち、13）を検出して特定する。

【0 1 1 9】

以下同様の論理演算処理が行われ、デコードビット $g_{15} \sim g_0$ のうちの1つのデコードビットのみが論理“1”となることから、その論理“1”となったデコードビットに対応している入力データBのビットをアクティブビットとして検出すると共に、そのビット番号Sを一義的に特定することが可能となっている。

【0 1 2 0】

次に、マルチプレクサ13の動作を説明する。マルチプレクサ13は、既述した如く、17個の制御端子eのうち、論理“1”が印加された制御端子eに対応している入力端子dのバーナリデータを、ビット列 (d_6, d_5, d_4) として出力ポートより出力する。

【0 1 2 1】

したがって、デコードビット $g_{15} \sim g_0$ のうちの1つのデコードビットのみが論理“1”となると、その論理“1”が印加される制御端子eに対応している入力端子dのバーナリデータを、ビット列 (d_6, d_5, d_4) として出力する。

【0 1 2 2】

その結果、入力データBのうちのアクティブビットに相当するビット列 (d_6 , d_5 , d_4) を出力する。

【0123】

ここで、夫々の入力端子dには、ビット番号Sに相当する2進数のバイナリデータが予め印加されているため、デコードビット $g_{15} \sim g_0$ で示されるアクティブビットのビット番号Sに相当するバイナリデータをビット列 (d_6 , d_5 , d_4) として出力する。

【0124】

例えば、入力データB (b_{15}, \dots, b_0) の各ビット列が上述した (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) であった場合、図6中のデコードビット $g_{15} \sim g_0$ のうちのビット g_{12} のみが論理“1”となり、ビット g_{12} が印加される制御端子eに対応している入力端子dのバイナリデータは、(1, 0, 0) であるため、そのバイナリデータ (1, 0, 0) をビット列 (d_6 , d_5 , d_4) として出力する。

【0125】

更に、ORゲート U_8 の出力 u_8 を最上位のビット d_7 として、総計4ビットから成るビット列 (d_7 , d_6 , d_5 , d_4) を対数変換上位ビット列 D_{UP} (d_7 , d_6 , d_5 , d_4)、すなわち D_{UP} (1, 1, 0, 0) とする。

【0126】

なお、入力データBの第15ビットから第7ビットまでのビット列 ($b_{15} \sim b_7$) の何れかのビットが論理“1”となると、ORゲート U_8 の出力 u_8 は必ず論理“1”となり、そのため対数変換上位ビット列 D_{UP} (d_7 , d_6 , d_5 , d_4) のうちのビット d_7 は論理“1”となる。

【0127】

また、入力データBの第15ビットから第7ビットまでのビット列 ($b_{15} \sim b_7$) の全てのビットが論理“0”となると、ORゲート U_8 の出力 u_8 は必ず論理“0”となり、そのため対数変換上位ビット列 D_{UP} (d_7 , d_6 , d_5 , d_4) のうちのビット d_7 は論理“0”となる。

【0128】

このように、入力データ B の第 15 ビットから第 7 ビットまでのビット列 ($b_{15} \sim b_7$) の何れか 1 つが論理 “1” となったか、全てが論理 “0” となったかに応じて、対数変換上位ビット列 D_{UP} (d_7, d_6, d_5, d_4) のビット d_7 を論理 “1” 又は “0” に設定することにより、アクティブビットのビット番号 S に相当する対数変換上位ビット列 D_{UP} を生成することを可能にしている。

【 0 1 2 9 】

図 8 及び図 9 は、以上に述べた対数変換上位ビット列生成部 3 の動作を真理値表として示した図である。なお、紙面の都合上、入力データ B の代表的な値に対する対数変換上位ビット列 D_{UP} の出力結果を示している。また、入力データ B は 10 進数と 2 進数で示し、対数変換上位ビット列 D_{UP} の値を 10 進数で示している。

【 0 1 3 0 】

図 8 に示すように、様々な値を示す入力データ B が入力されると、その入力データ B の各ビットのうち、論理 “1” となる最も上位のビット (アクティブビット) のビット番号 S に相当する対数変換上位ビット列 D_{UP} を出力する。したがって、対数変換上位ビット列 D_{UP} の値を 10 進数で表すと、図示の如く、入力データ B を対数演算した場合に得られる整数値を対数変換上位ビット列 D_{UP} として出力するようになっている。

【 0 1 3 1 】

つまり、図 9 中、□で囲って示されているアクティブビットよりも下位のビット (符号「*」で示している) を dont care (Don't Care) として、アクティブビットのビット番号 S を対数変換し、それによって得られる整数の対数値を対数変換上位ビット列 D_{UP} として出力するようになっている。

【 0 1 3 2 】

次に、図 7 を参照して、本実施例の対数変換下位ビット列生成部 4 の構成を説明する。

この対数変換下位ビット列生成部 4 は、複数の AND ゲート $X_{15} \sim X_1$ と、OR ゲート X_0 と、マルチプレクサ 14 を備えて構成されている。

【0133】

ここで、マルチプレクサ14は、図6に示したマルチプレクサ13と同様の構成を有しており、16個の入力端子dを備えるデータ入力ポートと、夫々の入力端子dに対応して1組ずつの対を成している16個の制御入力端子eを備える切換え制御ポートが設けられ、更に、後述する4ビット ($m=4$) の対数変換下位ビット列 $D_{LOW}(d_3, d_2, d_1, d_0)$ を出力する出力ポートが設けられている。

【0134】

そして、16個の制御端子eのうちの1つの制御端子が論理“1”に設定されると、その制御端子と対をなしている入力端子dに印加されている4ビットのバイナリデータを対数変換下位ビット列 $D_{LOW}(d_3, d_2, d_1, d_0)$ として出力する。

【0135】

ここで、図示するように、マルチプレクサ14の最上位に位置している制御端子eとANDゲート X_{15} の出力とが接続され、次に位置している制御端子eとANDゲート X_{14} の出力とが接続され、更に次に位置している制御端子eとANDゲート X_{13} の出力とが接続され、以下同様に、残余の制御端子eとANDゲート $X_{12} \sim X_1$ の夫々の出力とが一对一に対応付けて接続され、最下位に位置している制御端子eには、ORゲート X_0 の出力とが接続されている。

【0136】

更に、上述した最上位から最下位に位置している16個の各制御端子eに対応して設けられている各入力端子dには、入力データB ($d_{15}, d_{14}, \dots, b_1, b_0$) のうちのビット $d_{15}, d_{14}, \dots, b_1, b_0$ が、4ビットずつずらした関係で割り当てて供給されている。

【0137】

つまり、ANDゲート X_{15} に接続されている制御端子eと対を成している最上位の入力端子dにはビット列 ($d_{14}, d_{13}, d_{12}, d_{11}$) が並列入力され、ANDゲート X_{14} に接続されている制御端子eと対を成している最上位の入力端子dにはビット列 ($d_{13}, d_{12}, d_{11}, d_{10}$) が並列入力され

、ANDゲート X_{13} に接続されている制御端子eと対を成している最上位の入力端子dにはビット列(d_{12} , d_{11} , d_{10} , d_9)が並列入力され、以下同様にして、残余の入力端子dにも、入力データBのうちの特定の4ビットが順次に並列入力されている。

【0138】

ただし、このように入力データBを4ビットずつずらした関係で割り当てていくと、割り当てるべきビットが途中で不足することになり、それに対処すべく、不足分のビットを論理“0”のビットにして追加することで、入力端子dには必ず4ビットのバイナリデータが入力されるようになっている。

【0139】

つまり、マルチプレクサ14の最下位に位置している入力端子(ORゲート X_0 と接続している制御端子eと対をなしている入力端子)dには、バイナリデータ(0, 0, 0, 0)が印加され、その上に位置している入力端子dには、バイナリデータ(b_0 , 0, 0, 0)が印加され、更にその上に位置している2つの入力端子d, dには、夫々バイナリデータ(b_1 , b_0 , 0, 0)と(b_2 , b_1 , b_0 , 0)が印加されている。

【0140】

また、追加した論理“0”のビットは、いわゆるグランド端子にプルダウン抵抗を介して接続するという簡単な回路構成によって設定されている。

【0141】

次に、ANDゲート $X_{15} \sim X_1$ は、4入力型のANDゲートで形成され、対数変換上位ビット列 D_{UP} (d_7 , d_6 , d_5 , d_4)を入力すべく配線がなされている。

【0142】

また、図示のように、ANDゲート $X_{15} \sim X_1$ の4つの入力端子のうち、所定の入力端子が論理反転入力端子となっている。

【0143】

したがって、ANDゲート $X_{15} \sim X_1$ は、対数変換上位ビット列 D_{UP} (d_7 , d_6 , d_5 , d_4)のバイナリの値を検出し、その結果、上述したアクティ

ビットのビット番号 S を検出する。

【0144】

具体的な場合を例示すれば、前述した入力データ B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) が入力され、対数変換上位ビット列 D_{UP} (d_7, d_6, d_5, d_4) として、 D_{UP} (1, 1, 0, 0) が入力されると、ANDゲート X_{12} の出力のみが論理“1”となり、残余のANDゲート $X_{15} \sim X_{13}$ と $X_{11} \sim X_1$ の出力は全て論理“0”になる。

【0145】

したがって、ANDゲート $X_{15} \sim X_1$ によって、対数変換上位ビット列 D_{UP} (1, 1, 0, 0) に相当する第12ビット b_{12} をアクティブビットとして検出し、ANDゲート X_{12} の論理“1”の出力をマルチプレクサ14の所定の制御端子 e に供給する。

【0146】

なお、ANDゲート X_{12} に接続されている当該制御端子 e に対応している入力端子 e には、入力データ B の第11ビットから第8ビットのビット列 ($b_{11} \sim b_8$) がバイナリデータとして印加されているため、上述の入力データ B (0, 0, 0, 1, 0, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1) のうちのビット列 (0, 1, 1, 0) が、対数変換下位ビット列 D_{LOW} (d_3, d_2, d_1, d_0) としてマルチプレクサ14より出力される。

【0147】

このように、ANDゲート $X_{15} \sim X_1$ は、対数変換上位ビット列 D_{UP} (d_7, d_6, d_5, d_4) で示されるアクティブビットのビット番号 S を検出し、更に、入力データ B のビット列のうち、ビット番号 S よりも下位4ビット分のビット列のデータをマルチプレクサ14より出力させるようになっている。

【0148】

次に、図10及び図11を参照して対数変換下位ビット列生成部4の動作を説明する。なお、図10及び図11は、動作を真理値表として示した図であり、入力データ B は10進数と2進数で示し、最終的に生成される対数変換データ D の値を10進数で示している。

【0149】

まず図9において、入力データBの各ビットのうち、同図中の口で囲まれているアクティブビットに基づいて、対数変換上位ビット列生成部3が対数変換上位ビット列 D_{UP} を生成する。

【0150】

これに対して、対数変換下位ビット列生成部4は、図9中の符号「*」で示されているアクティブビットよりも下位の4ビット分を、少数点以下の値を表す対数変換下位ビット列 D_{LOW} とする。

【0151】

したがって、図10に示すように、図9中の符号「*」で示されているビット列を全体的に1ビット分下位側にシフトさせて、符号「・」で示す位置を小数点とすると、符号「・」を境にして、整数の対数変換値を表す対数変換上位ビット列 D_{UP} と、小数点以下の対数変換値を表す対数変換下位ビット列 D_{LOW} とから成る対数変換データDが生成される。

【0152】

対数変換下位ビット列生成部4は、図7に示した回路によって、この小数点以下の対数変換値を表す対数変換下位ビット列 D_{LOW} を入力データBから選択して抽出する処理を行い、その対数変換下位ビット列 D_{LOW} を対数変換上位ビット列 D_{UP} に続く下位のビット列として出力する。

【0153】

つまり、図11に示すように、口で囲まれているアクティブビットに基づいて生成された対数変換上位ビット列 D_{UP} に続けて、そのアクティブビットよりも下位4ビット分のビット列をそのまま対数変換下位ビット列 D_{LOW} として出力する。

【0154】

そして、本対数変換器が、対数変換上位ビット列 D_{UP} と対数変換下位ビット列 D_{LOW} とを合わせたmビットのバイナリデータを対数変換データDとして出力する。

【0155】

この結果、対数変換データDは、図11中に10進数の値として示されているように、整数値と小数点以下の値との和として、対数変換の結果を表すこととなり、十分な精度が得られない整数値に対して小数点以下の値が加わることで、より精度の高い対数変換データDを生成することを可能にしている。

【0156】

図12は、本実施例の対数変換器の変換精度を示す図であり、16ビットの入力データBを8ビットの対数変換データDに対数変換した場合の評価結果を示している。

【0157】

同図から解る通り、入力データBを10進数の「0」から「65535」まで変化させ、夫々の値に対応する対数出力の理論値と、本対数変換器により求めた対数変換データDの実際の結果を比較すると、ほぼ理論値に極めて近い結果が得られた。これにより、極めて高い対数変換精度が得られることを実証することができた。

【0158】

以上説明したように、本実施形態と実施例及びそれらの変形例によれば、少ない論理演算素子で対数変換を行うことができるため、回路規模の大幅な低減等を実現することができる。また、対数変換に要する処理時間を大幅に短縮することも可能である。また、図12に示したように、高い対数変換精度を得ることができる。

【0159】

このように、対数変換器に要求される要件を満足した新規な構成の対数変換器を提供することができ、デジタル信号処理を行う各分野、例えばマルチメディアに伴って研究開発が進められているデジタル通信機器やデジタルテレビジョンセット等を含めた広い分野に、有効な効果を提供することができる。

【0160】

なお、図2、図4、図7、図9、図10、図11を参照して説明したように、本実施形態と実施例及びそれらの変形例では、小数点以下の対数変換値を表す2進数のバイナリデータ列（対数変換下位ビット列） D_{LOW} を、入力データBの

アクティブビットより下位に位置するビット列から抽出して、対数変換上位ビット列 D_{UP} と合わせることで、最終的に対数変換データ D を生成することとしている。

【0161】

そして、入力データ B のアクティブビットより下位に位置するビット列から抽出する処理を 1 回だけ行って、対数変換上位ビット列 D_{UP} と合わせるだけで、対数変換データ D を生成することとしているので、対数変換の処理に要する時間を大幅に短縮するのが可能となっている。

【0162】

ただし、更に対数変換精度を向上させるべく次の処理を行うようにしてもよい。

【0163】

つまり、入力データ B のアクティブビットより下位に位置するビット列、つまり、予め決められた q 個 ($q=4$) のビット列ではなく、アクティブビットより下位に位置する残余の全てのビット列の中で、上述したの同様の論理“1”となる最も上位に位置するビットを検出する。すなわち、図 9、図 10 中の符号「*」で示されている小数点以下の対数値を表すビット列の中から、アクティブビット（以下「小数点以下アクティブビット」という）を検出する。

【0164】

そして、小数点以下アクティブビットの位置に相当する 2 進数のバイナリーデータ（小数点以下の値を表すバイナリーデータ）と、その小数点以下アクティブビットより下位の残りのビット列によって、小数点以下の対数値を表す対数変換下位ビット列 D_{LOW} を生成する。

【0165】

このようにすると、限られたビット数 m の対数変換データ D を生成する一般的要請に応じるべく、小数点以下の対数値を表すバイナリーデータのビット数を低減することとなっても、精密に小数点以下の対数値を表す対数変換データ D を生成することができる。別言すれば、少ないビット数で、小数点以下の対数値の分解能を向上させることができ、それによって、入力データ B に対応する高精度の

対数変換データDを生成することができる。

【0166】

更に、こうした小数点以下アクティブビットを検出する処理を複数回（2回以上）繰り返してもよい。2回以上繰り返すと、小数点以下の対数値の分解能を更に向上させることができ、高精度の対数変換データD_mを求めることが可能となる。

【0167】

また、実施形態及び実施例の説明では、主にハードウェアで形成される対数変換器について説明したが、デジタル演算処理が可能なコンピュータ（CPU）等を備えた電子機器で実行される対数変換用のコンピュータプログラムとすることも可能である。

【0168】

つまり、実施形態及び実施例で説明した対数変換器と同等の機能を有するコンピュータプログラムを作成し、パーソナルコンピュータ（PC）等の電子機器で実行させることにより、対数変換に要する処理時間を大幅に短縮化し、また高い対数変換精度等を得ることができる。

【図面の簡単な説明】

【図1】

従来の対数変換器の構成を示す図である。

【図2】

本発明の実施の形態に係る対数変換器の構成及び作用を説明するための図である。

【図3】

本発明の実施の形態に係る対数変換器の構成及び作用を更に説明するための図である。

【図4】

本発明の実施の形態に係る対数変換器の構成及び作用を更に説明するための図である。

【図5】

本実施例の対数変換器を適用した電子機器の構成を示す図である。

【図 6】

本実施例の対数変換器に備えられた回路の構成を示す図である。

【図 7】

本実施例の対数変換器に備えられた回路の構成を更に示した図である。

【図 8】

本実施例の対数変換器の動作を説明するための図である。

【図 9】

本実施例の対数変換器の動作を更に説明するための図である。

【図 1 0】

本実施例の対数変換器の動作を更に説明するための図である。

【図 1 1】

本実施例の対数変換器の動作を更に説明するための図である。

【図 1 2】

本実施例の対数変換器における変換精度の評価結果を示す図である。

【符号の説明】

3 … 対数変換上位ビット列生成部

3 a … アクティブビット検出部

3 b … 上位ビット列生成部

4 … 対数変換下位ビット列生成部

4 a … 下位ビット選択部

4 b … 上位ビット列抽出部

1 2 … AM検波部

1 3, 1 4 … マルチプレクサ

$U_0 \sim U_{14}$ … ORゲート

$G_0 \sim G_{14}$ … ANDゲート

X_0 … ORゲート

$X_1 \sim X_{15}$ … ANDゲート

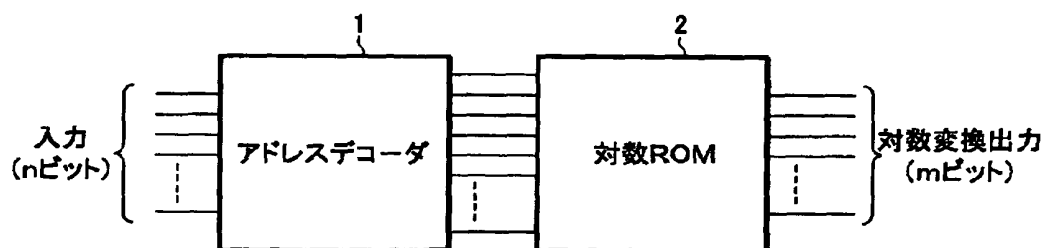
e … 制御端子

d …入力端子

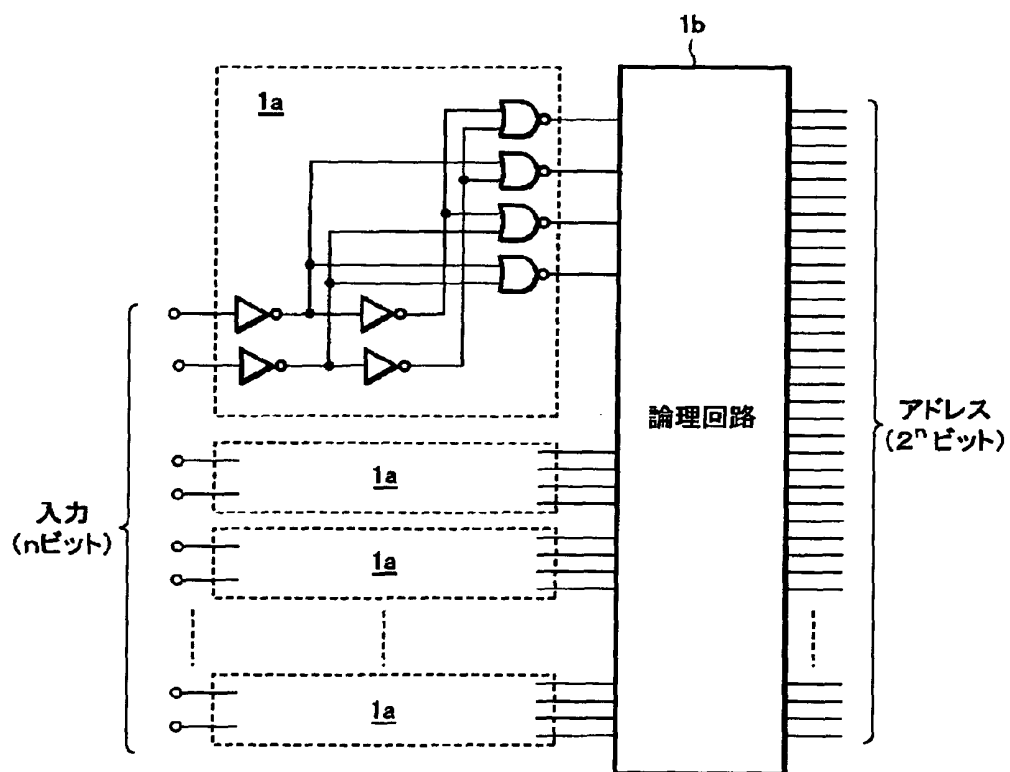
【書類名】 図面

【図 1】

(a)

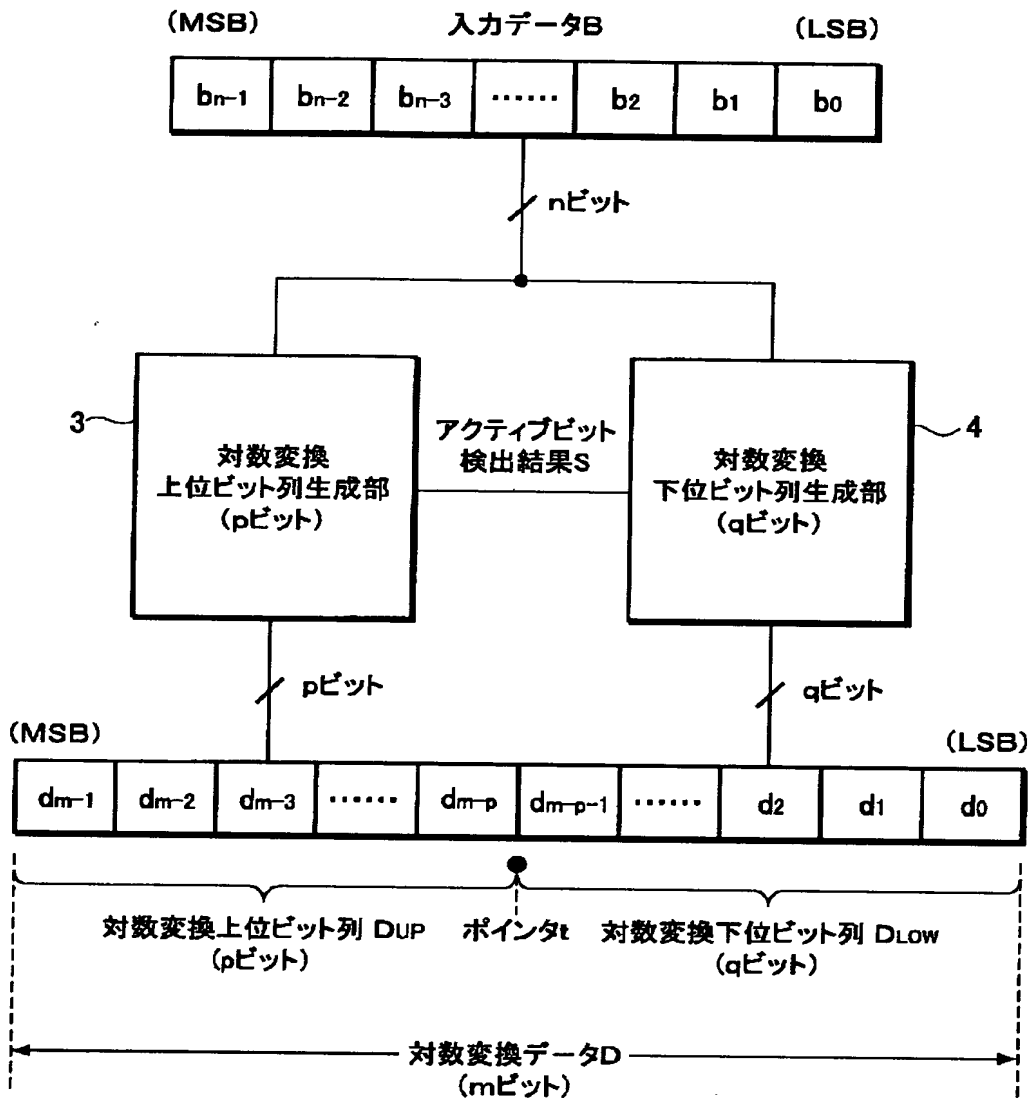


(b)

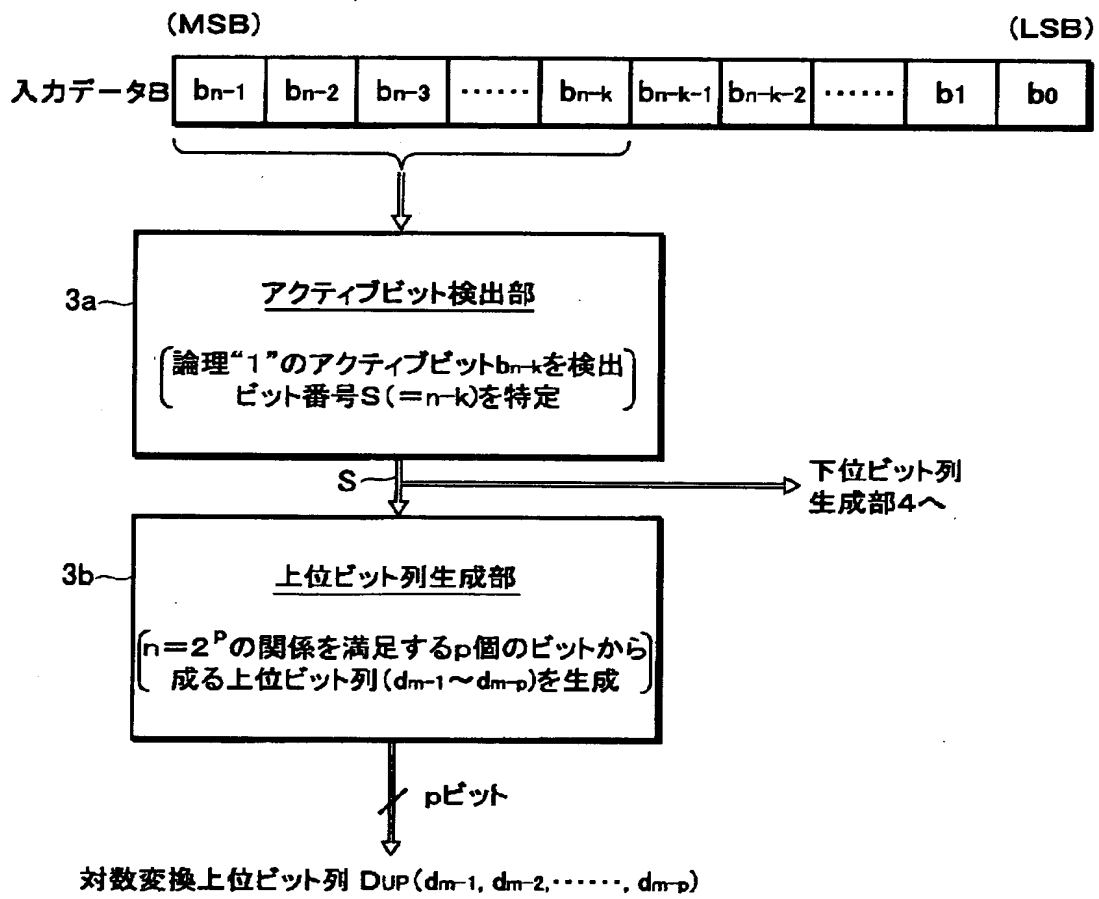


【従来技術】

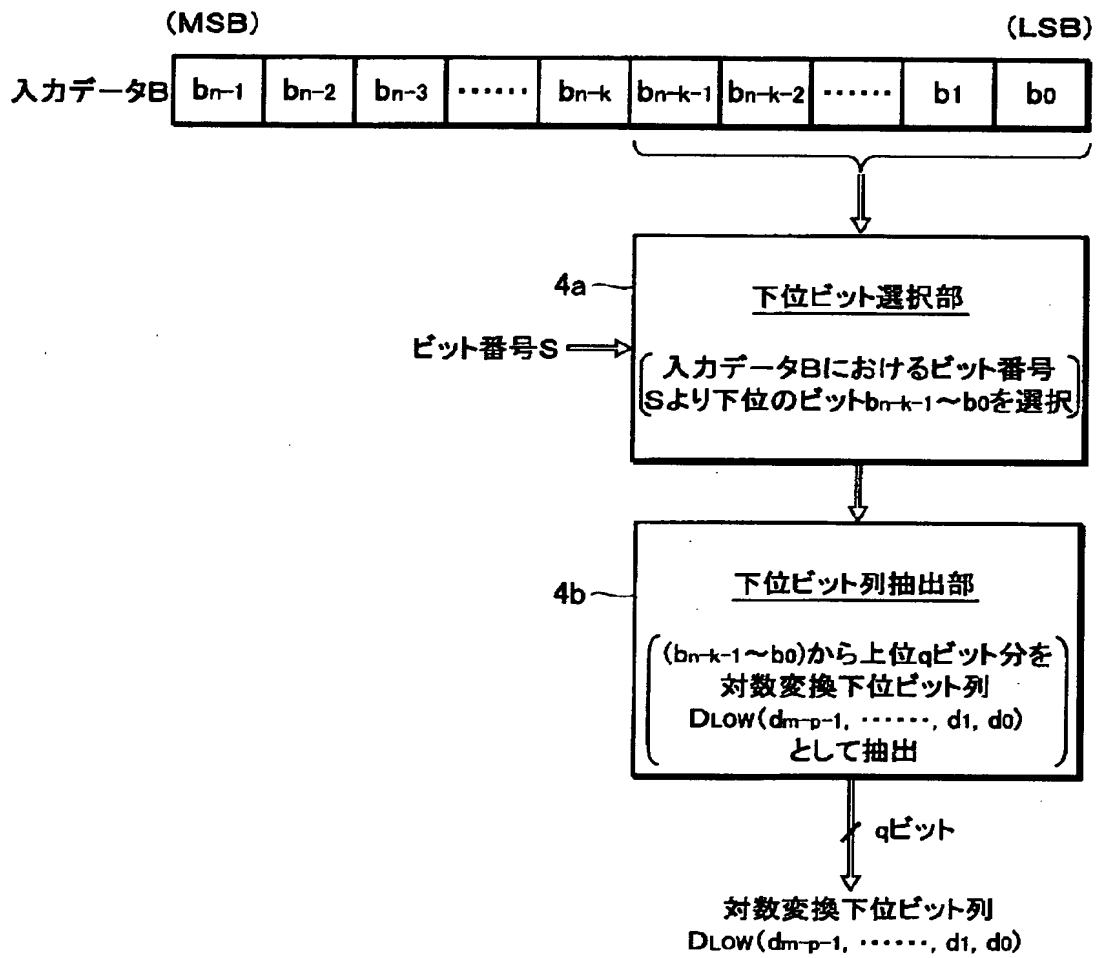
【図 2】



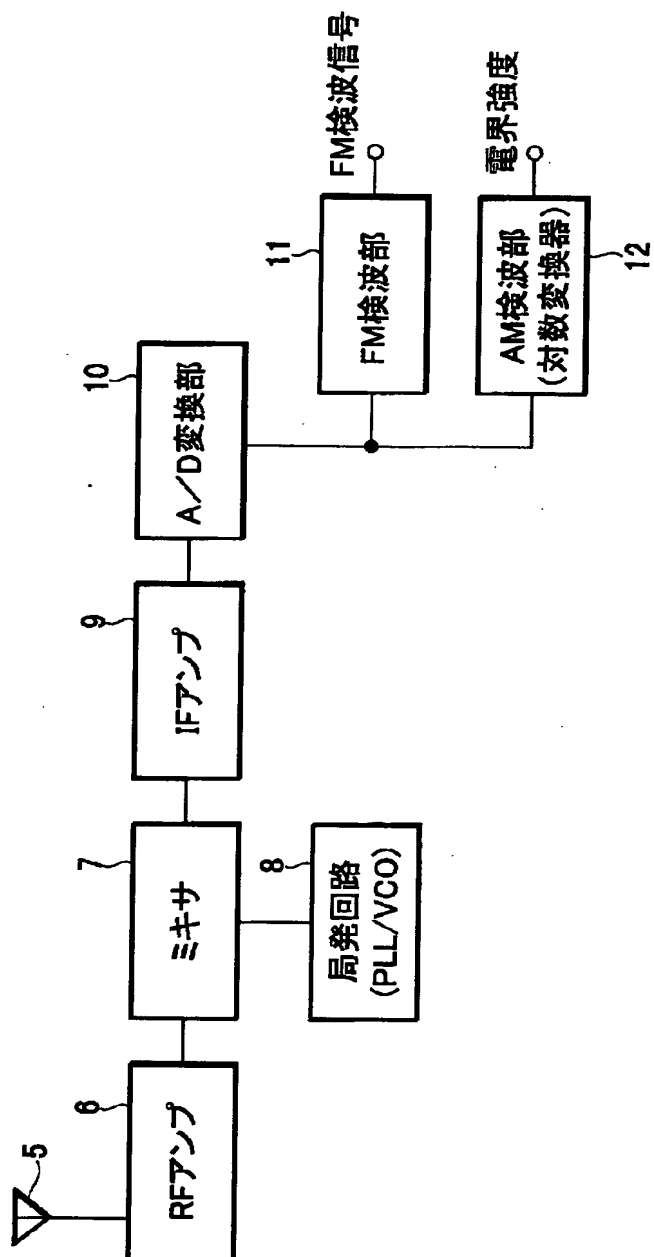
【図 3】



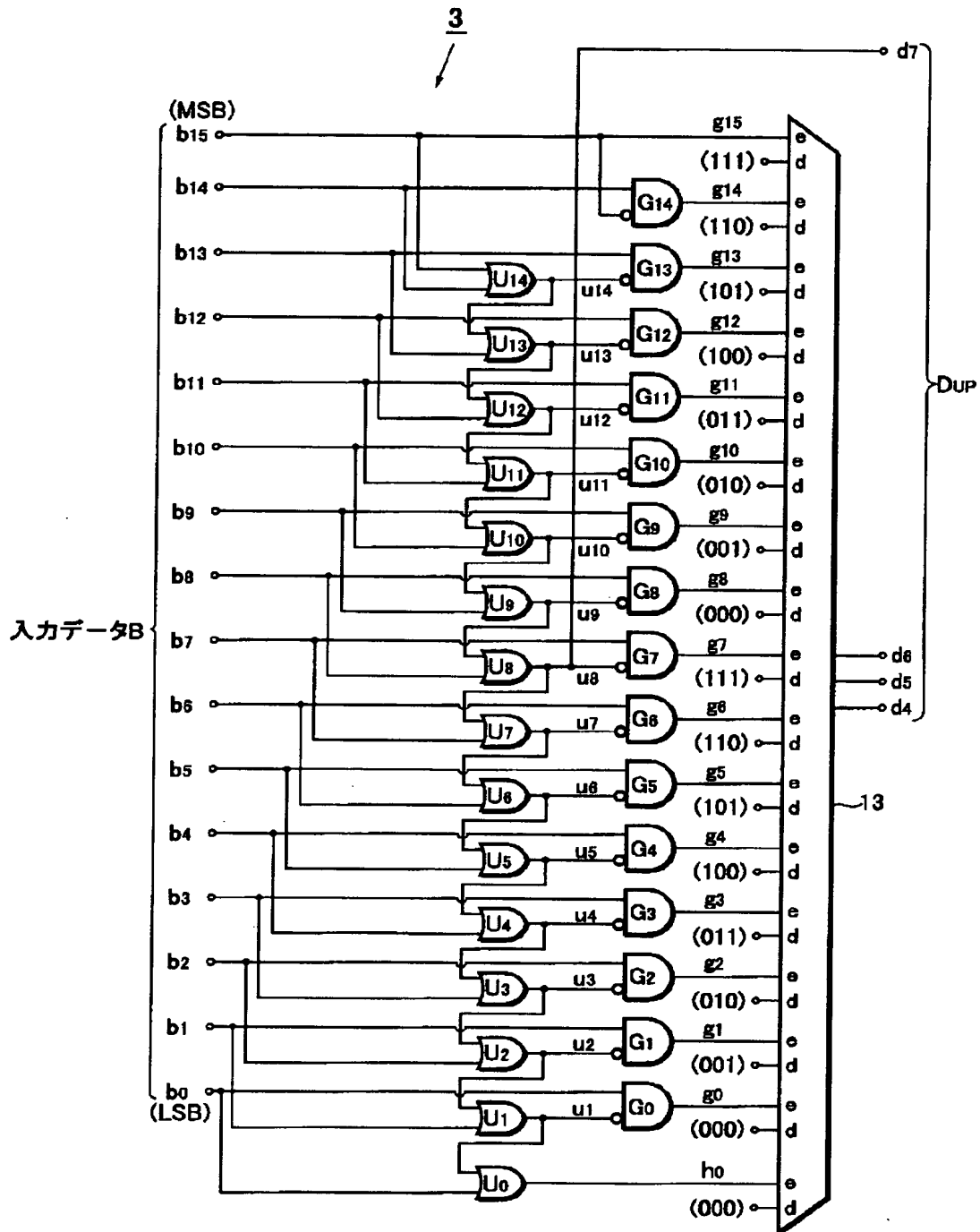
【図 4】



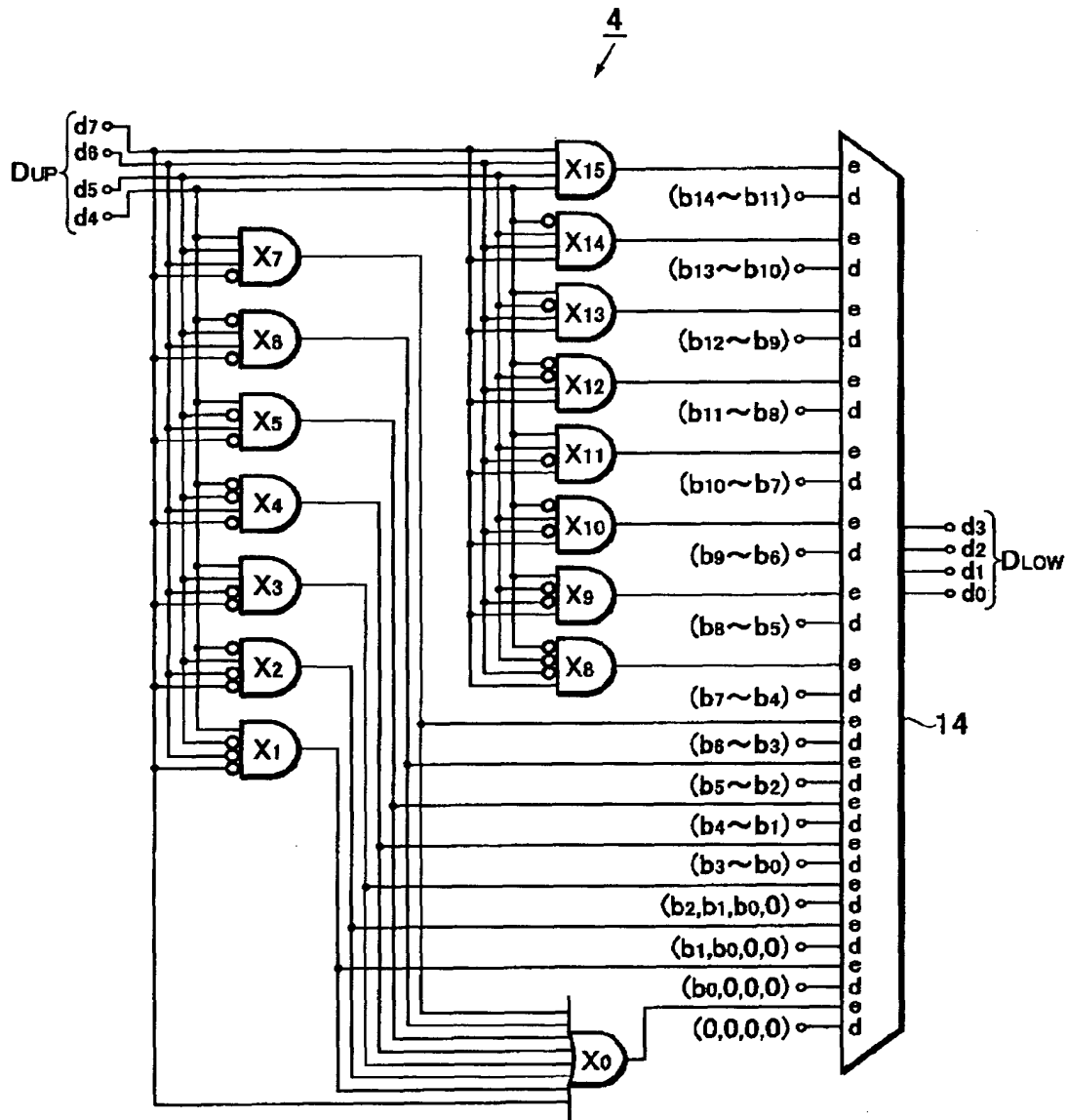
【図 5】



【図 6】



【図 7】



【図 8】

入力 (16ビットの場合)		対数変換上位ビット列 Dup 10進数
10進数	2進数 (バイナリ) (MSB) (LSB)	
0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 1 2 3
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	
2	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0	
3	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1	
4	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0	4 5 6 7
5	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1	
6	0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 0	
7	0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1	
8	0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0	8 9 10 11
9	0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1	
10	0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 0	
11	0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1	
12	0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 0	12 13 14 15
13	0 0 0 0 0 0 0 0 0 0 0 0 1 1 0 1	
14	0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 0	
15	0 0 0 0 0 0 0 0 0 0 0 0 1 1 1 1	
16	0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	16 17 18 19
32	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0	
64	0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0	
128	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0	
256	0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0	20 21 22 23
512	0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0	
1024	0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0	
2048	0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0	
4096	0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0	24 25 26 27
8192	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
16384	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
32768	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
65535	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	28

【図 9】

入力（16ビットの場合）																対数変換上位ビット列Dup 10進数	
10進数	2進数（バイナリ）																
	(MSB)														(LSB)		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	*	
4	0	0	0	0	0	0	0	0	0	0	0	0	0	1	*	*	
8	0	0	0	0	0	0	0	0	0	0	0	0	1	*	*	*	
16	0	0	0	0	0	0	0	0	0	0	0	1	*	*	*	*	
32	0	0	0	0	0	0	0	0	0	0	1	*	*	*	*	*	
64	0	0	0	0	0	0	0	0	0	1	*	*	*	*	*	*	
128	0	0	0	0	0	0	0	0	1	*	*	*	*	*	*	*	
256	0	0	0	0	0	0	0	1	*	*	*	*	*	*	*	*	
512	0	0	0	0	0	0	1	*	*	*	*	*	*	*	*	*	
1024	0	0	0	0	0	1	*	*	*	*	*	*	*	*	*	*	
2048	0	0	0	0	1	*	*	*	*	*	*	*	*	*	*	*	
4096	0	0	0	1	*	*	*	*	*	*	*	*	*	*	*	*	
8192	0	0	1	*	*	*	*	*	*	*	*	*	*	*	*	*	
16384	0	1	*	*	*	*	*	*	*	*	*	*	*	*	*	*	
32768	1	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	

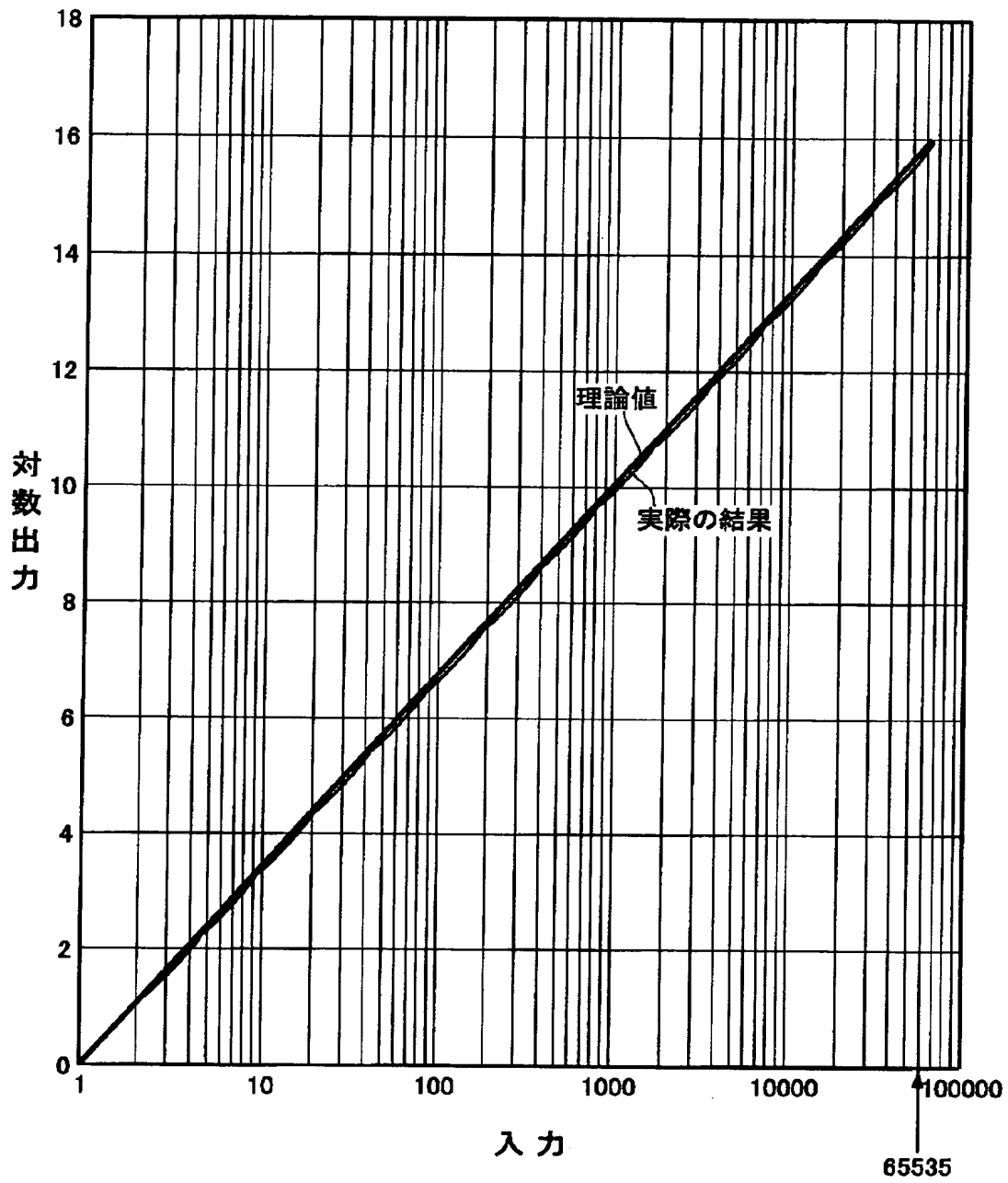
【図 10】

入力（16ビットの場合）																対数変換上位ビット列D 10進数	
10進数	2進数（バイナリ）																
	(MSB) (LSB)																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
64	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
128	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
256	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
512	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
1024	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
2048	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
4096	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
8192	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
16384	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		1
32768	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	

【図 1 1】

入力 (16ビットの場合)		対数変換データ D ($\log_2 B$) 10進数
10進数	2進数 (バイナリ) (MSB) (LSB)	
0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0. 0000
2	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0	1. 0000
3	0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1	1. 5000
4	0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0	2. 0000
5	0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	2. 2500
6	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0	2. 5000
7	0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0	2. 7500
8	0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0	3. 0000
9	0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0	3. 1250
10	0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0	3. 2500
11	0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0	3. 3750
12	0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0	3. 5000
13	0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0	3. 6250
14	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	3. 7500
15	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	3. 8750
16	0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	4. 0000
32	0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0	5. 0000
64	0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	6. 0000
128	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0	7. 0000
256	0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0	8. 0000
512	0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0	9. 0000
1024	0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0	10. 0000
2048	0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0	11. 0000
4096	0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0	12. 0000
8192	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	13. 0000
16384	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	14. 0000
32768	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	15. 0000
36864	1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0	15. 1250
40960	1 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0	15. 2500
45056	1 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0	15. 3750
49152	1 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	15. 5000
53248	1 1 0 1 0 0 0 0 0 0 0 0 0 0 0 0	15. 6250
57344	1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0	15. 7500
61440	1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0	15. 8750

【図 1 2】



【書類名】 要約書

【要約】

【課題】 回路規模の低減が可能な対数変換器を提供する。

【解決手段】 対数変換上位ビット列生成部 3 が、入力データ B の各ビット $b_{n-1} \cdots b_0$ のうち論理 “1” となっている最も上位に位置するビットをアクティブビットとして検出し、アクティブビットのビット位置 S を表すバイナリデータを対数変換上位ビット列 $D_{UP} (d_{m-1} \cdots d_{m-p})$ とする。ここで、入力データ B のビット数 n に基いて、 $n = 2^p$ の関係から対数変換上位ビット列 $D_{UP} (d_{m-1} \cdots d_{m-p})$ のビット数 p を設定する。対数変換下位ビット列生成手段 4 が、入力データ B の各ビット $b_{n-1} \cdots b_0$ のうち、ビット位置 S より下位に位置する所定ビット数 q のビット列を求め、対数変換下位ビット列 $D_{LOW} (d_{m-p-1} \cdots d_0)$ とする。そして、対数変換上位ビット列 $D_{UP} (d_{m-1} \cdots d_{m-p})$ を入力データ B を対数変換した場合に得られる整数の対数変換値、対数変換下位ビット列 $D_{LOW} (d_{m-p-1} \cdots d_0)$ を入力データ B を対数変換した場合に得られる小数点以下の対数変換値とする総計 $p + q$ ビットの対数変換データ D を生成し、対数変換した結果として出力する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社